

Иерархический подход к трассировке реконфигурируемой системы на кристалле островного типа

М.А. Заплетина, Д.А. Железников, С.В. Гаврилов,

Институт проблем проектирования в микроэлектронике РАН, г. Зеленоград, Москва,

zapletina_m@ippm.ru, zheleznikov_d@ippm.ru, s.g@ippm.ru

Аннотация — В статье рассмотрен иерархический подход к трассировке межсоединений в базисе реконфигурируемых систем на кристалле островного типа. Представленный метод может быть также успешно применен для программируемых интегральных микросхем и систем на кристалле соответствующего вида. Модифицированный алгоритм PathFinder применяется на обоих уровнях трассировки - глобальном и детальном для блоков коммутации. Особое внимание уделено правилам формирования графовой модели коммутационных блоков в составе смешанного графа трассировки и их функциональному параметризованному описанию на языке Tcl. Приведены и проанализированы данные вычислительных экспериментов по оценке времени трассировки при плоском и иерархическом подходе. Наименьший и наибольший выигрыш в длительности процедуры трассировки при иерархическом подходе составил 2.52 и 5.59 раза по сравнению с плоским вариантом.

Ключевые слова — реконфигурируемая система на кристалле, РСнК, островная архитектура, иерархическая трассировка, топологический синтез, смешанный граф трассировки, трассировка блоков коммутации.

I. ВВЕДЕНИЕ

Реконфигурируемые системы на кристалле (РСнК) представляют собой интегральные устройства, объединяющие на одном кристалле программируемую реконфигурируемую логику, блоки памяти и другие функциональные устройства и блоки. В маршруте топологического синтеза на базе РСнК трассировка межсоединений является одной из важнейших операций. Определяющее значение для производительности итоговой микросхемы (получаемой загрузкой файла прошивки программируемой части в блок конфигурационной памяти) имеет разводка критических цепей проектируемой электрической схемы. При наличии оптимального размещения высокое качество их трассировки позволяет нивелировать основной недостаток программируемой логики по сравнению с заказными микросхемами — более низкое быстродействие. Одновременно с этим для реконфигурируемой части не менее важным является количество времени, необходимое для прохождения как маршрута топологического синтеза в целом, так и этапа трассировки межсоединений в частности.

Полная разводка всех проектных цепей, будучи необходимым условием корректного выполнения стадии трассировки, является сложной задачей. В первую очередь, её решение связано с ограниченностью доступных коммутационных ресурсов. В отличие от заказных интегральных микросхем и печатных плат, в которых проектировщик имеет значительную свободу в определении расположения дорожек металлизации и их количества на кристалле [1], конфигурация трассировочных ресурсов программируемых и реконфигурируемых микросхем жестко задана заранее.

Весомый вклад в проблему трассировки вносят частные архитектурные особенности схемотехники РСнК. Для рассмотренного в данной работе случая они заключаются в наличии нескольких типов трассировочных элементов (мультиплексоров, инверторов, многоразрядных усиленных буферов и т.д.), имеющихся в дополнение к стандартным программируемым переключателям в виде n-канальных МОП транзисторов. Сочетание ключей условного и безусловного включения, одно- и двунаправленных, с инверсией и без инверсии, без усиления сигнала и при его наличии, распределенных специфическим образом, вызывает трудности в применении классических алгоритмов поиска кратчайшего пути. Возникает необходимость в построении смешанного графа трассировки, адаптации к нему существующих подходов и разработке новых.

Одним из частых путей решения задачи трассировки в базисе РСнК является двухуровневый (иерархический) подход, в рамках которого выделяются этапы глобальной трассировки (доведение межсоединений до блоков коммутации) и детальной трассировки внутри них. Подобный подход релевантен к применению в случае СнК с программируемой или реконфигурируемой частью островного типа с возможностью явного выделения коммутационных блоков. Идея такого разделения позволяет, во-первых, уменьшить размерность имеющейся плоской задачи (в том числе сократить размер графа трассировочных ресурсов), а, во-вторых, применить наиболее подходящие алгоритмы на каждом из уровней.

Нужно отметить, что важная особенность многих современных методов трассировки для ПЛИС и РСнК заключена в их тесной связи с архитектурой базового

кристалла, что уменьшает их универсальность, но вместе с тем способствует достижению высокой эффективности.

В данной работе задачи глобальной и детальной трассировки коммутационных блоков решаются с помощью модифицированного алгоритма PathFinder для смешанного графа трассировки [2, 3]. Этот алгоритм позволяет устранить перегрузки коммутационных элементов, возникающие при попытке добиться полной трассируемости всего списка проектных цепей. С учетом размерности задачи PathFinder может быть настроен с помощью набора стандартных коэффициентов, назначение которых будет описано далее.

Данная работа организована следующим образом. Во введении обозначены общие аспекты трассировки программируемой части РСнК островного типа [4]. Раздел II дает краткую информацию о модели смешанного графа трассировки. Раздел III посвящен модифицированному алгоритму PathFinder и способу улучшения результатов его работы. В разделе IV представлены обобщенная модель описания разных типов коммутационных блоков и интерфейс для встраивания её в смешанный граф трассировки [5]. Раздел V содержит результаты вычислительных экспериментов и их анализ. В разделе VI сформулированы заключительные выводы.

II. СМЕШАННЫЙ ГРАФ ТРАССИРОВКИ

Применение оригинальной модели смешанного графа трассировки [5] было вызвано необходимостью корректного описания всех типов коммутационных элементов, имеющих в составе целевой РСнК. Более полно этот вопрос рассмотрен в работе [5], поэтому далее приведем лишь краткую справочную информацию.

Отличительной особенностью коммутационной модели является сочетание двух типов соединений вершин $v_i \in \mathbf{V}$ графа трассировки $\mathbf{G} = \{\mathbf{V}, \mathbf{E}\}$: ориентированных и неориентированных ребер $e_{ij} \in \mathbf{E}$, возникших из потребности в учете направления прохождения сигнала через соответствующий коммутационный элемент (инвертор, буфер, мультиплексор и пр.). Таким образом, граф из классического ненаправленного становится смешанным.

Каждой вершине графа ставится в соответствие фиксированный вес $w(v_i)$, а каждому ребру – вес $w(e_{ij})$, отражающие относительную стоимость прохождения сигнала (задержку) в соответствии с емкостной нагрузкой электрических узлов (полученной путем автоматической экстракции паразитных элементов) и схемотехническими особенностями конкретных трассировочных элементов. Кроме того, каждому ребру e_{ij} смешанного графа \mathbf{G} приведена в соответствие логическая функция прохождения сигнала f_{ij}^e , позволяющая помимо его направления учесть

случай инвертирования сигнала на информационных входах логических элементов, описать влияние управляющего сигнала на коммутационный элемент или их группу, а также корректно описать элементы, коммутируемые по нагрузке (усилению сигнала). На основе разработанной математической модели был реализован программный интерфейс на языке Tcl [5], позволяющий наиболее полно передавать данные об имеющихся коммутационных ресурсах в процедуру трассировки.

III. МОДИФИЦИРОВАННЫЙ АЛГОРИТМ PATHFINDER

Принцип работы алгоритма PathFinder заключается в последовательной трассировке списка проектных межсоединений с постепенным устранением перегруженности отдельных коммутационных элементов. Состояние перегруженности элемента возникает при его одновременном использовании несколькими электрическими цепями и свидетельствует об ошибочной трассировке всей проектируемой схемы.

Устранение перегруженности достигается путём введения величины накапливаемого веса для всех вершин графа. Она рассчитывается на основе информации о числе разделяющих вершину цепей и суммарной задержке распространения сигнала при трассировке пути до неё.

Стандартные коэффициенты модифицированного алгоритма PathFinder для описанного смешанного графа трассировки имеют следующее значение. Коэффициент $v_p \in [0;1]$ регулирует степень влияния накопленного и собственного базового веса вершины графа на оценку привлекательности выбора этой вершины для продолжения пути. Параметр $v_h \in [0;1]$ участвует в расчете накопленного веса вершины графа на текущей итерации. Парные коэффициенты PATHW и PATHL обозначают максимальную задержку распространения сигнала и максимальную длину межсоединения в количестве пройденных коммутационных элементов.

Поисковая стратегия алгоритма [6] была усовершенствована. Первоначально накопленный вес каждой последующей вершины графа в пути определяется суммированием накопленного веса предыдущих вершин пути и вклада текущего ребра (коммутационного элемента). Поиск пути выполняется по направлению от источника сигнала. При достижении каждого из приемников (от ближайшего к наиболее удаленным) выполняется процедура ребалансировки трассировочного дерева. Она заключается в следующем. При нахождении пути до очередного приемника текущей цепи выполняется обнуление накопленных весов всех вершин графа трассировки, лежащих на этом пути. При этом информация о всех перегрузках и весах остальных вершин графа не подвергается изменениям. Это позволяет задать более высокий трассировочный приоритет вершинам, находящимся вблизи ранее разведенной части цепи, избежать чрезмерного ветвления и в конечном итоге

сформировать более компактные пути. Кроме того, в большинстве случаев ребалансировка положительно влияет на суммарное время трассировки, что следует из

результатов проведенных вычислительных экспериментов (табл. 1).

Таблица 1

Статистика времени плоской трассировки для оценки влияния ребалансировки трассировочного дерева

Схема	Без ребалансировки		С ребалансировкой		Сокращение времени, %	Сокращение дерева, %
	Время трассировки, с	Размер трассировочного дерева, элементов	Время трассировки, с	Размер трассировочного дерева, элементов		
x4 synth	122	9551	95	8216	22.13	13.98
misex3	224	21297	244	20724	-8.93	2.69
c1355	71	4389	58	4044	18.31	7.86
c1908	64	4831	51	4397	20.31	8.98
c3540	76	16156	62	15037	18.42	6.93
c6288	58	18296	61	17125	-5.17	6.40
s838	53	2381	53	2177	0	8.57
s1488	91	11027	149	10852	-63.7	1.59
test 2	55	20217	61	18686	-10.9	7.57
test 3	313	28218	182	26840	41.85	4.88
test 4	231	24738	174	24059	24.68	2.74

Приём, по своему влиянию на динамику трассировки схожий с введенной процедурой ребалансировки, описан в работе [7]. Её авторы выполняют предварительную сортировку приемников цепи по мере их удаленности от источника, а затем последовательно ищут пути до каждого из них. Источником сигнала при этом является вся ранее разведенная часть цепи. Это способствует повторному использованию вершин графа трассировки, уже находящихся в пути, и формированию более компактного трассировочного дерева.

IV. ГРАФОВАЯ МОДЕЛЬ И ФУНКЦИОНАЛЬНОЕ ТСЛ-ОПИСАНИЕ КОММУТАЦИОННЫХ БЛОКОВ

Ввод иерархии в модель описания трассировочных ресурсов РСнК потребовал перехода от «плоского» описания схемотехники кристалла, при котором блоки коммутации отсутствовали как структурная единица и раскрывались вплоть до простейших коммутационных

элементов, к комбинированной модели. Её суть заключается в том, что в общем смешанном графе трассировки содержимое коммутационных блоков представляется в упрощенном виде (рис. 1) набором ребер с направлением, соответствующим функциональному описанию.

Пример стандартной записи для коммутационного элемента в программном интерфейсе на языке Tsl выглядит следующим образом:

```
mux2_1 { !s10 x <= d0 w=0.25 } { s10 x <= d1 w=0.25 },
```

где *mux2_1* – имя элемента, а выражения в фигурных скобках – запись логических функций f_{ij}^e , где $d0, d1$ – сигнальные входы элемента, $s10$ – адресный вход, x – выход, $w = w(e_{ij})$ – вес соответствующего ребра смешанного графа трассировки, «<=>» – направление распространения сигнала.

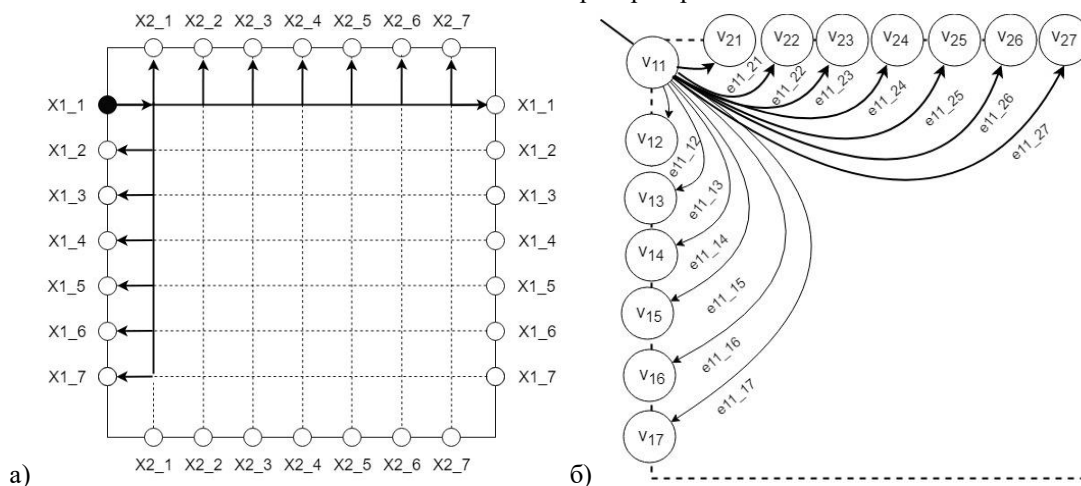


Рис. 1. Пример соответствия возможных направлений распространения сигнала от одного из входов коммутационного блока (а) его представлению в модели смешанного трассировочного графа (б). Параметр *flexibility* равен 0

Для сохранения единообразия был разработан список с приведенным выше формат Tc1-описания коммутационных блоков:

```
SB_name {OUT_name bit_depth direction
IN_name bit_depth w=weight fc=flexibility}
```

По сравнению с форматом описания коммутационного элемента в запись были введены два новых параметра: *bit_depth* – разрядность обобщенного входа/выхода, и *flexibility* – тип поразрядного соединения [8]. Второй параметр требует подробного рассмотрения.

Сокращенная запись функции f_{ij}^e , отражающая направление передачи сигнала от обобщенного входа коммутационного блока к его обобщенному выходу, не содержит явного указания на то, каким образом каждый из разрядов блока может быть скоммутирован. Однако при отсутствии нетипичных схемотехнических

решений можно выделить два основных типа коммутации: «1-в-1» (рис. 2) и «1-во-все» (рис. 1). Эти варианты нашли отражение в значении параметра *flexibility*. Таким образом, для одного из разрядов ($X1(1)$) обобщенного входа $X1$ коммутационного блока, представленного на рис.2а, запись

```
CB {X2 7 <= X1 7} {X1 7 <= X1 7 w=0.1}
```

приведет к построению фрагмента трассировочного графа на рис.2б, а запись

```
SB {X2 7 <= X1 7 fc=1} {Y1 7 <= X1 7
fc=1} {Y2 7 <= X1 7 fc=1}
```

соответствует рис. 2а, 2б. При необходимости набор значений параметра *flexibility* может быть легко расширен для включения иных вариантов поразрядных соединений.

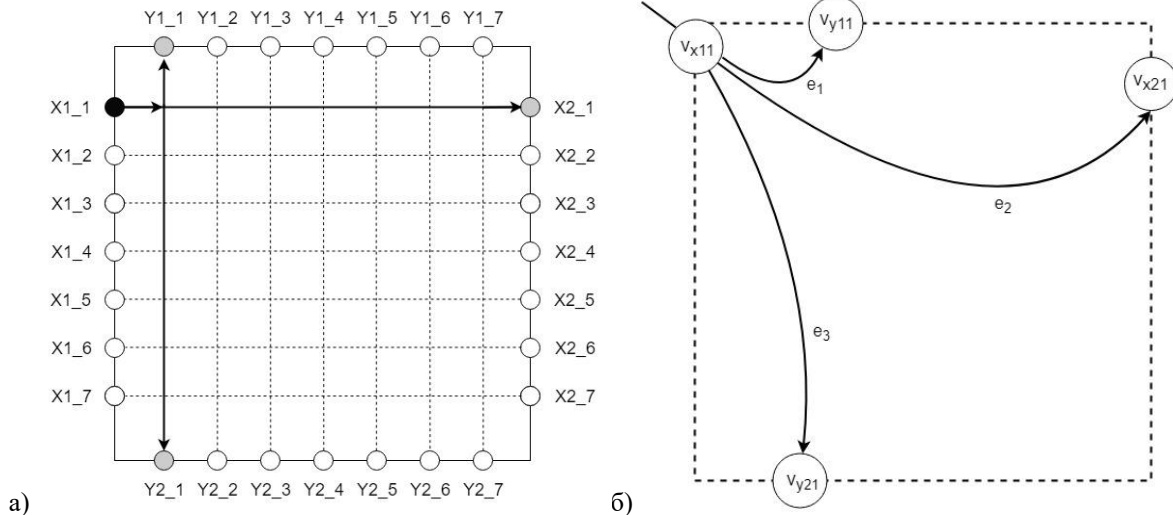


Рис. 2. Пример соответствия возможных направлений (а) распространения сигнала от одного из входов коммутационного блока его представлению в модели смешанного трассировочного графа (б). Параметр *flexibility* равен 1

V. РЕЗУЛЬТАТЫ ВЫЧИСЛИТЕЛЬНЫХ ЭКСПЕРИМЕНТОВ

Представленный двухуровневый подход был проанализирован с помощью набора тестовых проектных схем ISCAS'89 и LGSynth'89. Для каждой из них модифицированным алгоритмом моделирования отжига [3] было получено размещение логических элементов на базовом кристалле ПЛИС, для которого поочередно проводилась плоская и двухуровневая трассировка. Для обеих задач глобальной и детальной трассировки была применена модификация алгоритма PathFinder для смешанного графа трассировки. На этапе детальной трассировки поочередно для каждого коммутационного блока строился и передавался в процедуру PathFinder локальный граф трассировки. Стандартные параметры алгоритма для плоской и иерархической трассировки: $v_h = 0.1$, $v_p = 0.5$, $PATHW = 300$, $PATHL = 250$. Полная трассируемость была достигнута для всех тестовых схем.

Первое важное преимущество рассматриваемого подхода заключается в том, что для тестового кристалла РСнК на глобальном уровне представления количество вершин смешанного графа трассировки уменьшилось в 5.62 раза от плоского представления, а количество ребер сократилось на одну пятую. Это свидетельствует о значительном уменьшении размерности решаемой алгоритмом PathFinder задачи в этом случае. Приняв во внимание тесную взаимосвязь размерности задачи и времени, необходимого для её решения, отметим второе преимущество подхода. Статистика, собранная в результате ряда вычислительных экспериментов, свидетельствует о сокращении суммарного количества времени, затрачиваемого на этап трассировки межсоединений. При двухуровневом подходе для всего набора тестовых проектных схем установленная величина ускорения процедуры трассировки изменяется от 2,5 до 5,6 раза, что показано в табл. 2.

Сводная статистика времени трассировки для сравнения плоского и иерархического подхода

Название тестовой схемы	Число ЛЭ	Число цепей	Число блоков коммутации	Время плоской трассировки, с	Время глобальной PF трассировки, с	Время детальной PF трассировки, с	Ускорение, раз
s1488	334	343	1048	186.239	43.281	0.215	4.28
c499	127	168	560	65.997	24.267	0.092	2.71
c1355	121	162	555	73.787	15.112	0.079	4.86
c3540	504	554	1571	84.838	33.583	0.331	2.52
c432	81	117	296	50.717	9.043	0.025	5.59
c880	150	210	601	56.533	14.711	0.065	3.83
c1908	148	181	562	69.041	15.886	0.05	4.33
c6288	733	765	2053	72.601	18.696	0.267	3.83
x4_syn	166	260	853	134.248	29.603	0.084	4.52
misex3	570	584	1930	295.202	103.171	0.535	2.85
test 4	754	786	1914	84.827	33.151	0.276	2.54
test 3	738	770	2046	288.654	87.117	0.384	3.29

Примечание. Расчеты проводились на ПК с процессором Intel Core i5-7200U с тактовой частотой 2.50 ГГц и 8 Гб ОЗУ.

VI. ЗАКЛЮЧЕНИЕ

Рассмотренный двухуровневый подход к задаче трассировки РСнК островного типа продемонстрировал положительные результаты. Разработанная универсальная модель представления блоков коммутации на этапе глобальной трассировки позволила значительно уменьшить смешанный граф трассировки, сократить размерность решаемой задачи и ускорить работу модифицированного алгоритма PathFinder. Для набора тестовых схем двухуровневый подход в среднем сократил суммарное время этапа трассировки межсоединений более чем в 3,5 раза.

ЛИТЕРАТУРА

- [1] Ivanova G.A., Ryzhova D.I., Gavrilov S.V., Vasilyev N.O., Stempkovskii A.L. Methods and Algorithms for the Logical-Topological Design of Microelectronic Circuits at the Valve and Inter-Valve Levels for Promising Technologies with a Vertical Transistor Gate // Russian Microelectronics, 2019. Vol. 48. No. 3. PP. 167–175.
- [2] McMurchie, L. and Ebeling, C., PathFinder: a negotiation-based performance-driven router for FPGAs // Proceedings of the 3rd International ACM Symposium on FPGAs, Napa Valley, CA, 1995. PP. 111–117.
- [3] Gavrilov S.V., Zheleznikov D.A., Zapletina M.A. et al. Layout Synthesis Design Flow for Special-Purpose Reconfigurable Systems-on-a-Chip // Russian Microelectronics, 2019. Vol. 48, Is.3. PP. 176-186.
- [4] Nam G.-J., Sakallah K.A., Rutenbar R.A. A new FPGA detailed routing approach via search-based Boolean satisfiability // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, July 2002. Vol. 21, Is.6. PP. 674 – 684.
- [5] Гаврилов С.В., Железников Д.А., Хватов В.М. Решение задач трассировки межсоединений с ресинтезом для реконфигурируемых систем на кристалле // Изв. вузов. Электроника. 2017. Т.22, №3. С. 266 – 275.
- [6] Железников Д.А., Заплетина М.А., Хватов В.М. Решение задачи трассировки межсоединений для реконфигурируемых систем на кристалле с различными типами коммутационных элементов // Электронная техника. Серия 3: микроэлектроника, 2018. №4 (172). С. 31-36.
- [7] Wilton S. Architectures and Algorithms for Field-Programmable Gate Arrays with Embedded Memories. PhD thesis, University of Toronto, 1997.
- [8] Farooq U., Marrakchi Z., Mehnez H. FPGA architectures: An overview / In book: Tree-based Heterogeneous FPGA Architectures // NY: Springer-Verlag, 2012. XVI. 188 p.

The Hierarchical Approach to Island Style Reconfigurable System-on-Chip Routing

M.A. Zapletina, D.A. Zheleznikov, S.V. Gavrilov

Institute for design problems in microelectronics of RAS, Zelenograd, Moscow,

zapletina_m@ippm.ru, zheleznikov_d@ippm.ru, s.g@ippm.ru

Abstract — The paper considers the hierarchical two-level routing method for the island style reconfigurable systems-on-chip. The proposed approach can be successfully used for island style field programmable gate arrays and systems-on-chip also. The modified PathFinder algorithm is used for both global and detailed (switchbox) routing. The special rebalancing technique is proposed to fasten the routing algorithm and to reduce the resulting interconnect paths. Its impact was tested and analyzed. The particular attention was paid to the rules for switchbox route graphs generation as a part of a global mixed route graph model. The universal parameterized functional Tcl description for switchboxes was developed. The switchboxes of two flexibility types were considered. The computational experiments based on ISCAS-89 and LGsynth-89 benchmarks were carried out on a PC with Intel Core i7-7700 CPU and 3.60 GHz clock speed. The routing time estimation for the two-level approach showed a significant reduction of the basic mixed route graph: 5.6 times for vertices quantity. The best routing time reduction is 5.59 times and the worst is 2.52 times compared to flat routing procedure.

Keywords — reconfigurable system-on-chip, RSoC, island style architecture, routing, layout synthesis, hierarchical routing, mixed route graph, switchbox routing, detailed routing.

REFERENCES

- [1] Ivanova G.A., Ryzhova D.I., Gavrilov S.V., Vasilyev N.O., Stempkovskii A.L. Methods and Algorithms for the Logical-Topological Design of Microelectronic Circuits at the Valve and Inter-Valve Levels for Promising Technologies with a Vertical Transistor Gate // Russian Microelectronics, 2019. Vol. 48. No. 3. PP. 167–175.
- [2] McMurchie, L. and Ebeling, C., PathFinder: a negotiation-based performance-driven router for FPGAs // Proceedings of the 3rd International ACM Symposium on FPGAs, Napa Valley, CA, 1995. PP. 111–117.
- [3] Gavrilov S.V., Zheleznikov D.A., Zapletina M.A. et al. Layout Synthesis Design Flow for Special-Purpose Reconfigurable Systems-on-a-Chip // Russian Microelectronics, 2019. Vol. 48, Is.3. PP. 176-186.
- [4] Nam G.-J., Sakallah K.A., Rutenbar R.A. A new FPGA detailed routing approach via search-based Boolean satisfiability // IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, July 2002. Vol. 21, Is.6. PP. 674 – 684.
- [5] Gavrilov S. V., Zheleznikov D. A., Khvatov V. M. Solving the Problems of Routing Interconnects with a Resynthesis for Reconfigurable Systems on a Chip // Russian Microelectronics, 2018, Vol. 47. No. 7. pp. 516–521.
- [6] Zheleznikov D.A., Zapletina M.A., Khvatov V.M. Reshenie zadachi trassirovki mezhsoedinenii dlia rekonfiguriruemih sistem na kristalle s razlichnymi tipami kommutatsionnyh elementov // ELECTRONIC ENGINEERING. Series 3. MICROELECTRONICS, 2018. №4 (172). PP. 31-36.
- [7] Wilton S. Architectures and Algorithms for Field-Programmable Gate Arrays with Embedded Memories. PhD thesis, University of Toronto, 1997.
- [8] Farooq U., Marrakchi Z., Mehnez H. FPGA architectures: An overview / In book: Tree-based Heterogeneous FPGA Architectures // NY: Springer-Verlag, 2012. XVI. 188 p.